


# Semiconductor device with memory cell region and a peripheral circuit and method of manufacturing the same.

Patent Number: ☐ EP0355951, A3, B1 2705106  
Publication date: 1990-02-28  
Inventor(s): MARUO YUKATA  
Applicant(s): SEIKO EPSON CORP (JP)  
Requested Patent: ☐ JP1296661  
Application Number: EP19890305217 19890523  
Priority Number(s): JP19880125634 19880525  
IPC Classification: G11C17/00; H01L21/82; H01L27/10; H01L29/08  
EC Classification: H01L21/8234G6, H01L27/092N, H01L27/105  
Equivalents: DE68923742D, DE68923742T, JP2705106B2, KR9514807, ☐ US5181090  
Cited Documents: US4663645; US4037242; JP59151469

## Abstract

A semi-conductor memory comprises a memory cell region and a peripheral circuit. The memory cell region includes a plurality of memory transistors (Qn, Qm) of a first conductivity type and a plurality of select transistors (Qn, Qw) of the first conductivity type. The peripheral circuit includes transistors (Qn) of the first conductivity type and also transistors (Qp) of a second conductivity type. The transistors of the first conductivity type each have a first off-set region (21, 121) defined by a low concentration impurity region having a substantially flat surface, the first off-set region being formed in a substrate (10, 110) adjacent to a first gate electrode (20, 120). The transistors of the second conductivity type each have a thick insulating film (15) provided adjacent to a second gate electrode (16) with a part thereof buried in the substrate, and a second off-set region (17) defined by a low concentration impurity region provided in a portion of the substrate under the thick insulating film. 

Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2705106号

(46)発行日 平成10年(1998)1月26日

(24)登録日 平成9年(1997)10月9日

(51)Int.Cl. <sup>4</sup>	識別記号	序内整理番号	P I	技術表示箇所
H 0 1 L	27/115		H 0 1 L 27/10	4 3 4
	21/8238		27/08	3 2 1 E
	21/8247		29/78	3 7 1
	27/092			
	29/788			

請求項の数1(全 11 頁) 最終頁に続く

(21)出願番号	特願昭63-125634	(73)特許権者	99999999 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	昭和63年(1988)5月25日	(72)発明者	丸尾 豊 長野県諏訪市大和3丁目3番5号 セイ コーエプソン株式会社内
(65)公開番号	特開平1-296061	(74)代理人	弁理士 佐々木 宗治 (外2名)
(43)公開日	平成1年(1989)11月30日		
前図書表		審査官	大嶋 洋一
		(56)参考文献	特開 昭62-154287 (J P, A) 特開 昭62-89352 (J P, A) 特開 昭62-65362 (J P, A)

(54)【発明の名称】 半導体装置の製造方法

1

(57)【特許請求の範囲】

【請求項1】 (a) 第1導電型のチャネルストップ領域及び前記チャネルストップ上の素子分離領域を形成する工程と同時に第1導電型の第1トランジスタのオフセット領域を形成する工程、

(b) 前記(a)の工程の後に、前記第1トランジスタ及び第2導電型の第2トランジスタのゲート電極を形成する工程、

(c) 前記第2トランジスタのゲート電極をマスクとして前記第2トランジスタのソース及びドレイン領域となる低濃度拡散層を形成する工程、

(d) 前記第2トランジスタのゲート電極に側壁を設けた後、前記第2トランジスタのゲート電極及び側壁をマスクとして、前記第2トランジスタのソース及びドレイン領域となる高濃度拡散層を形成する工程、

2

(e) 前記第1トランジスタのゲート電極をマスクとして前記第1トランジスタのソース及びドレイン領域となる低濃度拡散層を形成する工程、

とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【産業上の利用分野】

この発明は半導体装置、とくに高耐圧半導体装置の製造方法に関し、さらには半導体記憶装置のFRAMやEEPROMに代わる次世代の不揮発性メモリ装置として開発されている高耐圧のEEPROMに適用して有用性の大きい半導体装置の製造方法に関するものである。

【従来の技術】

周辺回路をCMOSで構成するEPROMやEEPROMなどにおいては、メモリセルにはnチャネルMOSトランジスタが用いられるのが一般的である。この場合電気的にデータの

3

消去が行われないEPROMのメモリセルにはメモリトランジスタ1個で構成されるが、電気的にデータの消去が行われる高耐圧のEEPROMのメモリセルはメモリトランジスタと選択（ワードともいう）トランジスタが結合された状態で使用され、いずれのトランジスタもnチャネルの高耐圧用トランジスタが必要である。

一方、CMOS回路のうちのpチャネルMOS型の高耐圧用トランジスタは電圧変換回路用などとして一部しか使用されないで、メモリセル用のnチャネルの高耐圧用トランジスタほどの個数を必要としないものである。

そして、とくにEEPROMの場合にはメモリセルはメモリトランジスタを形成するFAMOS型のnチャネルトランジスタと選択用n型MOSトランジスタとがメモリトランジスタのドレインと選択用トランジスタのソースとの共通n型拡散領域で結合された状態で構成されている。また、上記FAMOS型nチャネルトランジスタはデータが書き込まれるフローティングゲートの外にコントロールゲートが設けられた多層ゲート構造をもって形成されている。

以上のようなこの発明に関連する従来技術を代表する文献として下記に示す刊行物がある。

刊行物1:特公昭58-6237号公報

刊行物2:特開昭59-151469号公報

刊行物3:特開昭61-154078号公報

以上の文献のうち、刊行物1はFAMOS型の2層ゲート構造で、電気的に書き換え可能な不揮発性半導体記憶装置用のメモリセルに関するものであり、刊行物2は基板上に形成した厚い絶縁膜や、基板を選択酸化して基板の表面の一部を厚い絶縁膜にした部分の下に、ソース領域及びドレイン領域のうち外部引き出し配線の接している部分の不純物濃度よりも薄いオフセット領域を設けたトランジスタ（以下これらを総称してLOCOS・オフセット型トランジスタと略す）による高耐圧用MOSFETにより良く適合する保護回路素子の新規な構造を開示するものであり、刊行物3はマスクを利用するレジストパターンやゲート電極の端部に形成した側壁等を用いて、いわゆるLOC構造のようにソース領域及びドレイン領域に濃度差を持つ構成のうちのチャンネル領域に近い濃度の薄い領域をオフセット領域として設けるトランジスタ（以下これらを総称してマスク・オフセット型トランジスタと略す）の高耐圧用MOSFETに関して開示されたものである。

〔発明が解決しようとする課題〕

上記のような従来の半導体装置すなわち不揮発性メモリセルを有する半導体記憶装置においては、pチャネル及びnチャネルマスク・オフセット型トランジスタとpチャネル及びnチャネルLOCOS・オフセット型トランジスタの2つのタイプのトランジスタはそれぞれ個別に製造されて、pチャネル及びnチャネルトランジスタとも全てがマスク・オフセット型トランジスタから構成

4

されているか、または全てがLOCOS・オフセット型トランジスタから構成されている半導体装置があった。

上記の2つのタイプのトランジスタの特徴を挙げて説明すると、まず、マスク・オフセット型トランジスタは面積が小さく、微細化（高集積化）に有利な反面、オフセット領域形成のためにマスクまたは特別な工程を必要とし、かつ低濃度（例えばpまたはn）拡散領域を形成するための工程を必要とするなどの不利な点を持っている。これに対してLOCOS・オフセット型トランジスタはオフセット領域上に厚い酸化膜の部分の設ける必要があるため面積が大となり微細化には不利ではあるが、低濃度（例えばpまたはn）領域を形成する場合専用のマスクやその製造工程が不要となるなどの利点を有している。

したがって、上記の長所・短所を考慮して、nチャネル・pチャネルの両方のトランジスタともに高耐圧を必要とする場合多数必要とするトランジスタをマスク・オフセット型トランジスタとして、少数しか必要とされないトランジスタをLOCOS・オフセット型トランジスタとして同一基板上に適宜配置して形成する構造とその製造方法の開発が要望されていた。

この発明は上記の問題点を解消するためになされたもので、微細化、マスクの少数化などの製造工程簡略化の面から総合して最適なCMOSタイプの半導体記憶装置用のIC装置の製造方法を提供することを目的とするものである。

〔課題を解決するための手段〕

この発明に係る半導体装置の製造方法は、(a) 第1導電型のチャネルストップ領域及びチャネルストップ上の素子分離領域を形成する工程と同時に第1導電型の第1トランジスタのオフセット領域を形成する工程、(b) (a)の工程の後に、第1トランジスタ及び第2導電型の第2トランジスタのゲート電極を形成する工程、(c) 第2トランジスタのゲート電極をマスクとして第2トランジスタのソース及びドレイン領域となる低濃度拡散層を形成する工程、(d) 第2トランジスタのゲート電極に側壁を設けた後、第2トランジスタのゲート電極及び側壁をマスクとして、第2トランジスタのソース及びドレイン領域となる高濃度拡散層を形成する工程、(e) 第1トランジスタのゲート電極をマスクとして第1トランジスタのソース及びドレイン領域となる拡散層を形成する工程、とを有するものである。

〔作用〕

この発明においては、第1導電型のチャネルストップ領域及びチャネルストップ上の素子分離領域を形成する工程と同時に第1導電型の第1トランジスタのオフセット領域を形成し、その工程の後に、第1トランジスタ及び第2導電型の第2トランジスタのゲート電極を形成し、第2トランジスタのゲート電極をマスクとして第2トランジスタのソース及びドレイン領域となる低濃度拡

散層を形成し、第2トランジスタのゲート電極に側壁を設けた後、第2トランジスタのゲート電極及び側壁をマスクとして、第2トランジスタのソース及びドレイン領域となる高濃度拡散層を形成し、第1トランジスタのゲート電極をマスクとして第1トランジスタのソース及びドレイン領域となる拡散層を形成する。この製造方法により、例えば、EEPROMなどの半導体記憶回路装置の高耐圧用トランジスタのうち、多数を必要としかつ微細化に有利な例えばnチャネル・マスクオフセット型トランジスタとたとえば周辺回路の1部に使用されるが多数を必要としない例えばpチャネルLOCOS・オフセット型トランジスタの2つのタイプの素子形成とその配置が同一基板上に形成されるので、これらの高耐圧用トランジスタの質・量両面に対する最適化がはかられる。そのため、必要最低限で無駄のない記憶回路素子が同時に形成される。

#### 【実施例】

この発明に係る半導体装置の製造方法の実施例の説明に先立って、製造対象となる半導体装置の構成について説明する。

第1図はこの発明の半導体装置の製造方法の製造対象となる高耐圧用MOSトランジスタの構成を説明する要部断面模式図である。このMOSトランジスタはnチャネル型のマスク・オフセットMOSトランジスタ $Q_n$ （以下 $Q_n$ という）とpチャネル型のLOCOS・オフセットMOSトランジスタ $Q_p$ （以下 $Q_p$ という）からなる高耐圧用MOSである。 $Q_p$ はLOCOSによる素子分離領域である。

$Q_p$ は第1導電形のp型半導体基板10上に選択的に形成されたLOCOS酸化膜11と、その下側に形成されたn型チャネル・ストップ領域12とからなる素子分離領域に囲まれた第2導電形のnウェル13の領域に形成される。また、14はゲート酸化膜であり、このゲート酸化膜14の周囲には小面積のLOCOS酸化膜15が形成されており、このLOCOS酸化膜15に連続するゲート酸化膜15の上部に多結晶シリコン層からなるゲート電極16が形成されている。さらに、17はLOCOS酸化膜15の下に設けられたp型チャネル・ストップ領域、18はソース/ドレイン領域のp型拡散層であり、この構成によって、p型チャネル・ストップ領域17をオフセットとするLOCOS・オフセット構造の $Q_p$ が形成される。

一方、 $Q_n$ はLOCOS酸化膜11と、このLOCOS酸化膜11の下側に設けたp型チャネル・ストップ領域19とによって形成される素子分離領域内に形成される。すなわち、ゲート電極20はゲート酸化膜14上に形成され、ゲート酸化膜14の下側にはn型オフセット領域21に接続して設けられたソース/ドレイン領域のn型拡散層22、22aとによってマスク・オフセット型の $Q_n$ が $Q_p$ と同一基板上に構成されている。

また、23は酸化膜又はPSG（BPSGを含む）膜による層間絶縁膜であり、24、24aは $Q_n$ のソース/ドレイン領域引

出し用のAl配線膜、25、25aは $Q_n$ のソース/ドレイン領域引出し用のAl配線膜である。

以上が、この発明による $Q_p$ と $Q_n$ とからなる高耐圧用MOSトランジスタの構成であるが、その動作等については周知であるので、説明は省略する。

第2図(a)、(b)、(c)はこの発明の半導体装置の製造方法の製造対象となる高耐圧nチャネルトランジスタをメモリセルに用いたEEPROM用のメモリセルの部分のトランジスタの模式説明図である。このメモリセルはメモリトランジスタと選択用トランジスタとからなり、第2図(a)は平面模式図、第2図(b)は(a)のL-L'断面模式図、第2図(c)は等価回路図である。

このように、本実施例の特徴としてメモリセルにnチャネルトランジスタを用いて、周辺回路にpチャネルトランジスタとnチャネルトランジスタとを用いる高耐圧用のEEPROMは、多数用のnチャネルトランジスタをマスク・オフセット型とし、少数しか用いないpチャネルトランジスタをLOCOS・オフセット型とする。そして、以下にマスク・オフセット型のnチャネルトランジスタをメモリセルに用いた例を記載する。

第2図(c)の等価回路図において、ドレインA、ゲートB、ソース/ドレインCで示される部分はnチャネルの選択用トランジスタ( $Q_w$ とする)であり、ソース/ドレインC、ソースD、フローティングゲートG、コントロールゲートF及びソース/ドレインのフィールド部Eで示される部分がFAMOS構造のメモリトランジスタ( $Q_m$ とする)であり、2つのトランジスタ $Q_w$ と $Q_m$ は共通のソース/ドレインCで図のように結合されて構成されている。第2図(a)、(b)、(c)に示した符号A～G及び $Q_w$ 、 $Q_m$ はそれぞれ(a)、(b)、(c)各図間で対応するように同一符号で示している。このメモリセルの他の特徴とする所は後述するように多結晶シリコン1層タイプの高耐圧用EEPROMのメモリ構造を有する所にある。

以下、このメモリセルのトランジスタの構成をおもに第2図(b)の断面図によって説明する。111はp型半導体基板110上に形成されたLOCOS酸化膜（フィールド酸化膜ともいう）であり、素子分離領域を形成しているが、このLOCOS酸化膜111の下側には図示しないp型チャネルストップ領域が形成されている。

$Q_w$ はn型拡散層のドレイン(A)122a、多結晶シリコン層のゲート電極(B)120、n型拡散層のソース(C)122からなり、n型のオフセット領域121とソース/ドレイン領域122、122aで形成されるnチャネルのオフセット型の高耐圧トランジスタである。これは機能的には選択トランジスタ又はワードトランジスタと呼ばれている。

$Q_m$ につづく $Q_m$ の部分はn型拡散層のソース122b、ソース/ドレイン領域122、n型オフセット領域121、多結晶

シリコン層のゲート電極120aからなる片側オフセット型のnチャネル高耐圧トランジスタである。このトランジスタQnはFAMOS構造であり以下説明するフローティングゲート部Gを含む構成で形成されるメモリトランジスタである。

Gで示した部分はフローティングゲート部分であり、Chはチャネル領域、Fはn<sup>+</sup>型拡散層130が形成するコントロールゲートであり、Eはn<sup>+</sup>型拡散層126が形成するトンネル領域である。この構造は、従来の一般的なEEPROMのコントロールゲートがフローティングゲート上に設けられる2層構造の多結晶シリコン層で形成されているのに対して、多結晶シリコン層1層の構成であり、コントロールゲートは基板110に形成されたn<sup>+</sup>型拡散層130で形成したものである。なお、123は層間絶縁層、124,124aはそれぞれ中間絶縁層123を開口して形成したソース/ドレイン領域122b,122aに用いるための多結晶シリコン層である。

このように、メモリセルに用いるための多結晶シリコン層を用いて、周辺回路の一部にしか用いない少数のpチャネルトランジスタに第1図のQpのようなLOCOS・オフセット型トランジスタを用いることにより、微細化と工程の簡略とを達成し、最適化されたEEPROMを提供できる効果がある。

以上の実施例の構成において、他の特徴である多結晶1層タイプのメモリセルの基本的なメカニズムを以下説明する。まず、データの書き込み/消去はトンネル領域126とコントロールゲート130間に10数V〜20V程度の高圧を加えることにより、フローティングゲート120aとトンネル領域126間の高いトンネル酸化膜127(厚さ100Å)に、10Mv/cm以上程度の電界をかける。そうすると、よく知られたファウラーノルドハイム(Fowler-Nordheim)トンネリングによって、トンネル酸化膜127を介してフローティングゲート120aに電子の注入および放出を行い、注入時は消去、放出時は書き込みが電気的に行われる。

すなわち、フローティングゲート120aに電子が注入された場合はメモリトランジスタQnのしきい値電圧は高くなり、逆に、電子が放出された場合はしきい値電圧は下がる。したがって、電子の注入・放出後のしきい値電圧の中間の電圧をコントロールゲートに印加することにより、電子が注入されているとOFF、電子が放出されているとONとなりメモリトランジスタのON・OFFの判別が可能となり、従来の2層ゲート構造のFLOTOX(フローティングゲートトンネルオキシド)と同様なEEPROMが達成される。

この場合、1層ゲート構造における利点は多結晶シリコン層の層数低減によって段差が小さくなることにある。そのためステップカバレッジが良くなることによるエレクトロマイグレーションなどの問題が減少するので、集積度増大素子性能向上や歩留りに対して著しい

効果を有するものである。

さて、この発明の半導体装置の製造方法の製造対象となる半導体装置の構成が明らかになったところで、この発明の半導体装置の製造方法の実施例について説明する。

第3図(a)〜(k)はこの発明の実施例を示す第1図のような高耐圧用CMOSトランジスタの製造方法を説明する製造工程図である。(a)〜(k)の模式断面による工程図順に、工程と形成状態を説明する。なお、便宜上同一又は相当部分の符号は第1図の説明に用いたものと同一の符号を用いた。

(a) p型シリコン基板10上のnウェル形成領域以外の部分に写真食刻法により1000℃のウェット酸化を行い厚さ約5000Åのシリコン酸化膜11aとnウェル部分に1000℃のドライ酸化による厚さ約400Åのシリコン酸化膜14を形成したのち、シリコン酸化膜14を通して120keV、 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でP(リン)のイオン注入を行い、ついで1160℃のO<sub>2</sub>(酸素)を10%含むN<sub>2</sub>(窒素)雰囲気下で13時間の処理を行いウェルのドライブインによるPの活性化を行った。

(b) 前工程によりnウェル13を形成したのち、シリコン酸化膜11aと14を除去してから、再び1000℃のドライ酸化により厚さ約400Åのシリコン酸化膜14を形成した。

(c) 全面にシリコン窒化膜を堆積したのち、写真食刻により素子形成領域にのみシリコン窒化膜26を残し、さらにレジスト27を塗布し、写真食刻してp型ストップパ形成部分のレジスト開口を行ったのち、35keV、 $3 \times 10^{14} \text{ cm}^{-2}$ の条件でB(ボロン)のイオン注入を行い、ついでレジスト27を除去してから熱処理してpチャネル・ストップパ領域17,19を形成した。

(d) レジスト27を塗布したのち、写真食刻によりn型ストップパ部分の開口を行ったのち、80keV、 $2 \times 10^{14} \text{ cm}^{-2}$ の条件でPのイオン注入を行い、ついでレジスト27を除去したのち、熱処理を行いn型のチャネル・ストップパ領域12を形成した。ついで、レジスト27を除去する。

(e) シリコン窒化膜26をマスクとして、950℃のウェット酸化により選択的なフィールド酸化を行い厚さ約9000ÅのLOCOS酸化膜11及び15を形成する。11は素子分離用、15はゲート電極(この図に図示していない)のための高耐圧用のLOCOS酸化膜である。ついで、シリコン窒化膜26を除去し、さらにシリコン酸化膜14も除去したのち1100℃のドライ酸化により約600Å厚のゲート酸化膜14を形成する。さらに、レジストによる写真食刻によりnQ(nチャネル・ドープ)部分の開口を行ってPの100keV、 $4 \times 10^{13} \text{ cm}^{-2}$ の条件でPのイオン注入を行い、ついで写真食刻によりpQ(pチャネル・ドープ)部分の開口を行い、Bの40keV、 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でのイオン注入を行い、デプレッション形MOSの基礎領域を形成した(この部分は図示省略)。

(f) 全面に約4000Åの厚さに多結晶シリコン層を形成し、n型になるようにP又はAs(ヒ素)を拡散したのち、図示しないレジストを用いて写真食刻により多結晶シリコンによるゲート電極16及び20を形成する。ついで、830°Cのウェット酸化によりゲート電極16及び20も被うようにライト酸化膜14aを形成する。

(g) 写真食刻により、レジスト27を開孔し、ゲート電極20をマスクとしてnチャネル形成領域に80keV、 $5 \times 10^{11} \text{ cm}^{-2}$ の条件でPのイオン打込みを行い、n型拡散層21を形成し、オフセット領域の下地を形成する。

(h) 写真食刻により、ゲート電極20を覆うレジスト27aを塗布したのち、このレジスト27aをマスクとして、80keV、 $4 \times 10^{12} \text{ cm}^{-2}$ の条件でPのイオン打込みを行い、ついでレジスト27、27aを除去したのち熱処理を行ってソース/ドレイン領域のn型拡散層22、22aを形成する。この段階でnチャネルMOS構造の高耐圧用マスク・オフセット型MOSトランジスタが形成される。

(i) 前工程で得られたnチャネルMOSトランジスタの部分のみに写真食刻によりレジスト26を塗布したのち、pチャネルMOSトランジスタ形成領域のゲート電極16、16aをマスクとして、35keV、 $2 \times 10^{11} \text{ cm}^{-2}$ の条件でBのイオン打込みを行い、レジスト26を除去したのち熱処理を行ってp型拡散層18、18aを形成し、ソース/ドレイン領域を形成する。この段階でpチャネルLOCOS・オフセット構造の高耐圧用MOSトランジスタが形成される。

(j) 全面に層間絶縁膜23である第2フィールド領域用のPSG膜を堆積する。PSG膜はBPSG膜であってもよく、シリコン酸化膜を用いてもよい。

(k) 以後の工程は、通常の方法にしたがって写真食刻によりソース/ドレイン引出し用のコンタクトホールを形成したのち、電極配線用のAl膜を堆積してから写真食刻によるAl配線のパターンニングを行いAl配線膜24、24a、25、25aを形成することにより、第1図の実施例と同様な高耐圧用MOSが完成する。

なお、第1図及び第3図(a)～(k)の実施例においては、p型半導体基板上にnチャネルトランジスタとしてマスク・オフセットトランジスタとpチャネルトランジスタとしてLOCOS・オフセットトランジスタをnウェル領域に形成する場合について説明したがn型基板を用いてpウェル領域にnチャネルトランジスタを形成して、もう1つのトランジスタをpチャネルトランジスタとするMOSであってもよい。

しかしながら、pチャネルトランジスタもマスク・オフセット構造とするときは、第3図(g)及び(h)工程においてマスクを必要とするためpチャネルトランジスタの方はLOCOS・オフセット構造とする方が好ましい。また、逆にnチャネルトランジスタをLOCOS・オフセット構造とするときは第3図(h)の工程が不要となる利点があるが、メモリセル等の多数トランジスタが必

要な部分に用いるため面積的に集積度を上げることとはできないので微細化には不向きとなる。これらの事柄を総合すると、EEPROMに適用する場合は上記第1図及び第3図(a)～(k)の実施例のようにする方が現状では最適構成といえることができる。

つまり、メモリセルと周辺回路の一部に用いられ、多数必要となるnチャネルトランジスタをマスク・オフセット型として、周辺回路の一部にしか用いられず、少数のpチャネルトランジスタをLOCOS・オフセット型としたEEPROMが最適構造なのである。ただし、nチャネルトランジスタに比べてpチャネルトランジスタの方が多数必要な時は上記と逆に、nチャネルトランジスタにLOCOS・オフセット型、pチャネルトランジスタにマスク・オフセット型を用いればよい。

#### 【発明の効果】

この発明は以上説明したように、第1導電型のチャネルストップ領域及びチャネルストップ上の素子分離領域を形成する工程と同時に第1導電型の第1トランジスタのオフセット領域を形成し、その工程の後に、第1トランジスタ及び第2導電型の第2トランジスタのゲート電極を形成し、第2トランジスタのゲート電極をマスクとして第2トランジスタのソース及びドレイン領域となる低濃度拡散層を形成し、第2トランジスタのゲート電極に側壁を設けた後、第2トランジスタのゲート電極及びドレイン領域をマスクとして、第2トランジスタのソース及びドレイン領域となる高濃度拡散層を形成し、第1トランジスタのゲート電極をマスクとして第1トランジスタのソース及びドレイン領域となる拡散層を形成することにより、周辺回路をMOSで構成する半導体記憶装置において、多数を必要とする例えばnチャネル高耐圧用トランジスタはマスク・オフセット型トランジスタとし、少数しか使われない例えばpチャネル高耐圧用トランジスタをLOCOS・オフセット型トランジスタとして、これらの2種のトランジスタを同一基板上に形成する製造方法を提供した。したがって、集積度に大きく影響するような数多く用いられる方の高耐圧トランジスタは集積度に有利なマスク・オフセット型トランジスタで構成し、多数を必要とせず集積度にあまり影響を与えない高耐圧トランジスタはマスク及び製造工程が少なくより安価で製造できるLOCOS・オフセット型トランジスタを用いて同一基板上に形成するようになっているので、半導体装置とその製造方法の両面にわたり、微細化、マスクの少数化、製造工程簡略化の面を総合して最適化が達成される。さらに、この製造方法を適用することにより多結晶シリコンゲート1層形のEEPROMなどの形成に対しても上記と同様な微細化その他の面での寄与が大きい。

#### 【図面の簡単な説明】

第1図はこの発明の半導体装置の製造方法の製造対象となる高耐圧用MOSトランジスタの構成を説明する要部断面模式図、第2図(a)、(b)、(c)はこの発明の

11

半導体装置の製造方法の製造対象となる高耐圧nチャネルトランジスタを用いたEEPROMのメモリセル部分のトランジスタの模式説明図、第2図(a)は平面図、第2図(b)は第2図(a)のI-I'断面図、第2図(c)は等価回路図、第3図(a)~(k)はこの発明の実施例を示す第1図と同様な高耐圧用CMOSトランジスタの製造方法を説明する工程図である。

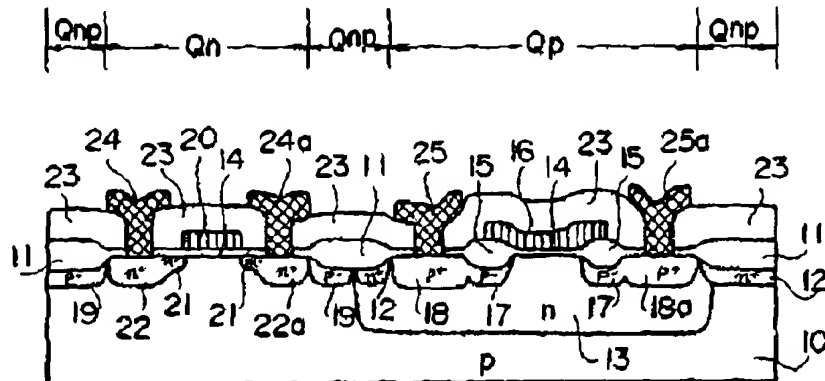
第1図及び第3図(a)~(k)において、10はp型半導体(シリコン)基板、11はLOCOS酸化膜(フィールド酸化膜)、12はn型チャネル・ストップ領域、13はnウェル、14はゲート酸化膜、15はLOCOS酸化膜、16はゲート電極、17はp型チャネル・ストップ領域、18、18aはソ

12

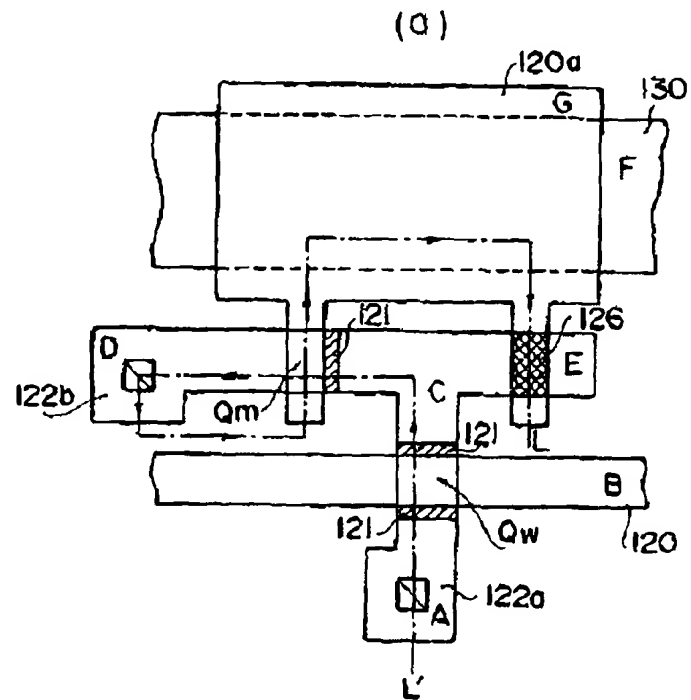
ース/ドレイン領域のp型拡散層、19はp型チャネル・ストップ領域、20はゲート電極、21はn型オフセット領域、22、22aはソース/ドレイン領域のn型拡散層、23は層間絶縁膜、24、24a、25、25aはAl配線膜である。

また、第2図(a)、(b)、(c)において、110はp型半導体基板、111はLOCOS酸化膜、120はゲート電極、120aはゲート電極、121はn型オフセット領域、121a、122a、122bはソース/ドレイン領域のn型拡散層、123は層間絶縁膜、124、124aはAl配線膜、126はトンネル領域のn型拡散層、127はトンネル酸化膜、130はコントロール・ゲートを形成するn型拡散層である。

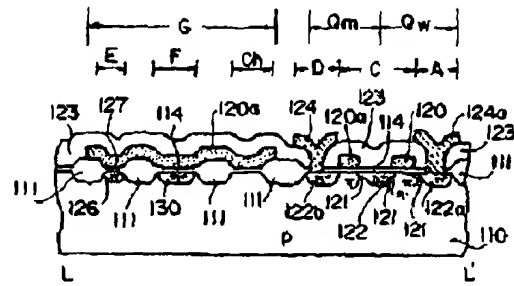
〔第1図〕



【第2図】

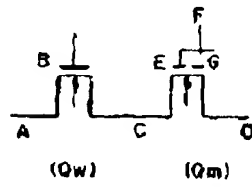




(b)  
L-L'断面図

CH: シリコン

(c)



〔第3図〕

